

# PROVA SCRITTA DI ELETTRONICA

Prof. Luca Salvini

3Be

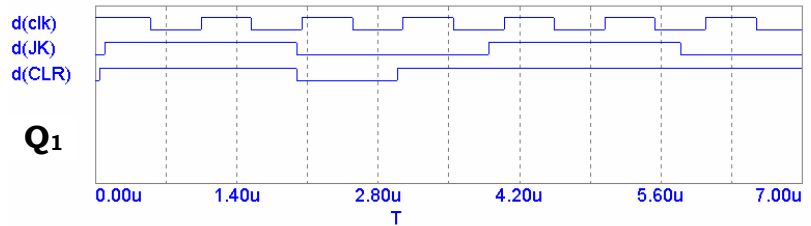
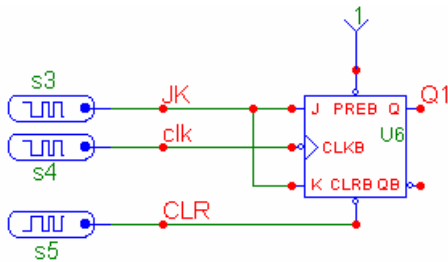
Nome \_\_\_\_\_

23/03/2007

**Obiettivi** oggetto di verifica di questa prova scritta:

- Ob8. saper analizzare e progettare piccoli sistemi combinatori SSI;
- Ob9. saper analizzare e progettare piccoli sistemi sequenziali SSI;
- Ob10. saper disegnare la temporizzazione in/out di un sistema combinatorio o sequenziale;

1. Sia dato un FF JK edge triggered negativo. Indica l'andamento dell'uscita  $Q_1$  in corrispondenza degli ingressi in figura (nota che gli ingressi di **clk**, **clear** e **preset** sono **negati**).



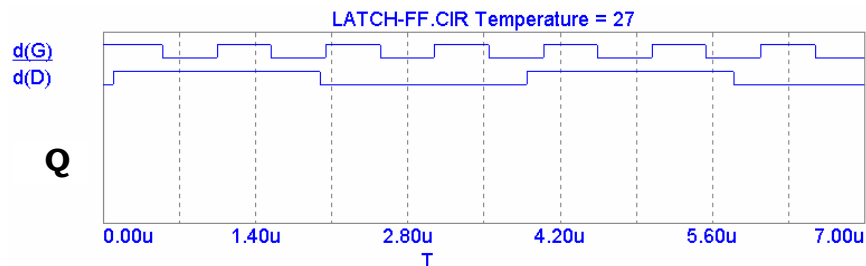
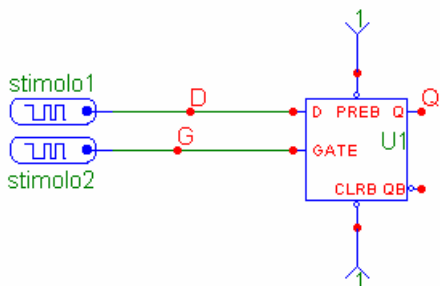
2. Disegna un circuito elettrico corrispondente ad un rivelatore di transizione sensibile ai fronti di salita; spiegane il funzionamento ed indicane le possibili applicazioni.
3. Sia dato un FF JK PET. Gli ingressi J, K, clk seguono l'andamento riportato in Tabella. Costruisci il diagramma temporale per 600 ns, disegnando l'andamento degli ingressi e dell'uscita Q (inizialmente bassa).

t	clk
0	1
100ns	0
200ns	1
300ns	0
400ns	1
500ns	0

t	J
0	0
50ns	1
150ns	0
250ns	1
350ns	0
450ns	1

t	K
0	1
250ns	0
350ns	1

4. Considera il latch nella figura sottostante. Disegna l'andamento dell'uscita Q in corrispondenza degli ingressi in figura (Q è inizialmente bassa).



5. Scrivi le tabelle di verità di un **FF** di tipo **D** e di un **FF** di tipo **JK**, spiegandone il funzionamento; descrivi il comportamento di un **FF JK** nella temporizzazione **data lockout**.

