

PROVA SCRITTA DI ELETTRONICA

Prof. Luca Salvini

3a Ae

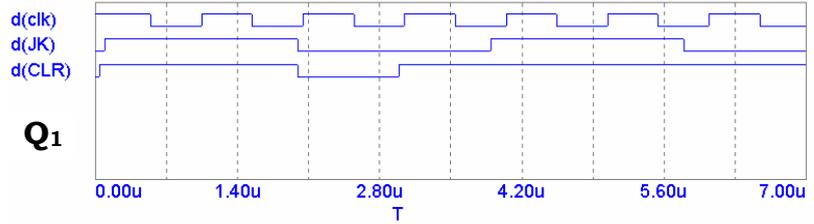
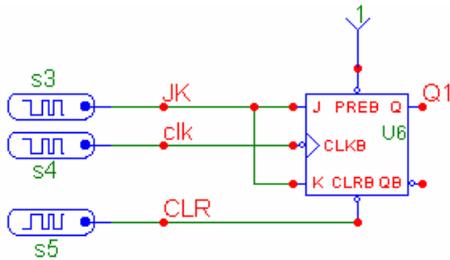
Nome _____

04/04/2006

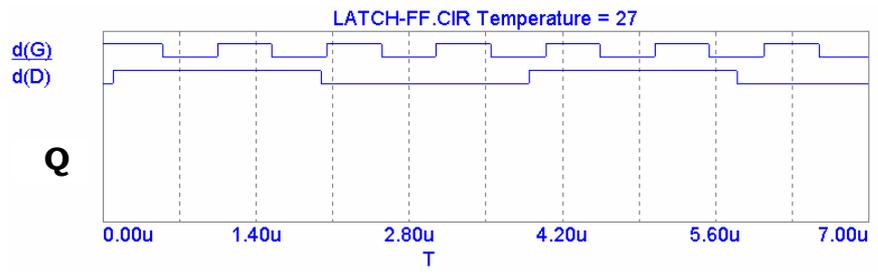
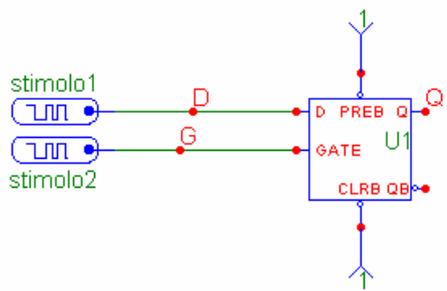
Obiettivi oggetto di verifica di questa prova scritta:

- Ob8. saper analizzare e progettare piccoli sistemi combinatori SSI;
- Ob9. saper analizzare e progettare piccoli sistemi sequenziali SSI;
- Ob10. saper disegnare la temporizzazione in/out di un sistema combinatorio o sequenziale;

1. Sia dato un FF JK edge triggered negativo. Indica l'andamento dell'uscita Q_1 in corrispondenza degli ingressi in figura (nota che gli ingressi di **clk**, **clear** e **preset** sono **negati**).



2. Disegna un circuito elettrico corrispondente ad un rivelatore di transizione sensibile ai fronti di discesa; spiegate il funzionamento. Indicane le possibili applicazioni.
3. Considera il latch nella figura sottostante. Disegna l'andamento dell'uscita Q in corrispondenza degli ingressi in figura (Q è inizialmente bassa).



4. Sia dato un FF JK PET. Gli ingressi J, K, clk seguono l'andamento riportato in Tabella. Costruisci il diagramma temporale per 7000 ns, disegnando l'andamento degli ingressi e dell'uscita Q (inizialmente bassa).

t	clk
0	1
1000ns	0
2000ns	1
3000ns	0
4000ns	1
5000ns	0

t	J
0	0
500ns	1
1500ns	0
2500ns	1
3500ns	0
4500ns	1

t	K
0	1
2500ns	0
3500ns	1

5. Scrivi le tabelle di verità dei FF di tipo D, S-R e JK, spiegandone il funzionamento; spiega il comportamento di un FF JK nelle temporizzazioni PET, master-slave e data lockout.

