

PROVA SCRITTA DI ELETTRONICA

Prof. Luca Salvini

3Ae

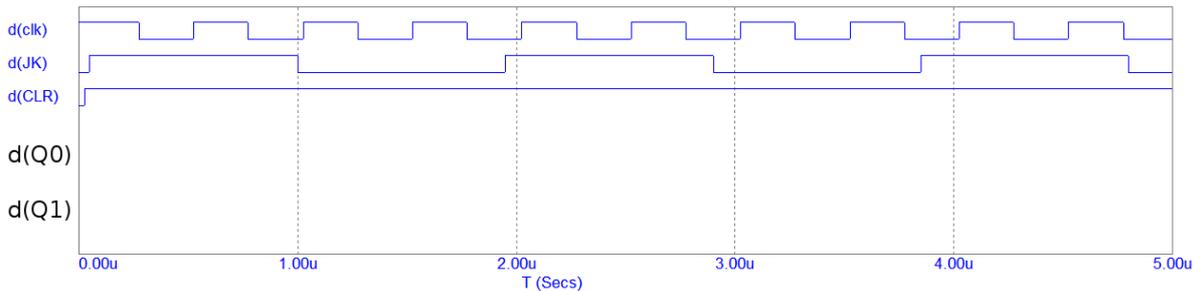
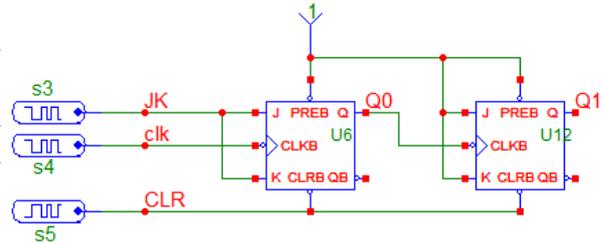
Nome _____

09/04/2008

Obiettivi oggetto di verifica di questa prova scritta:

- Ob8. saper analizzare e progettare piccoli sistemi combinatori SSI;
- Ob9. saper analizzare e progettare piccoli sistemi sequenziali SSI;
- Ob10. saper disegnare la temporizzazione in/out di un sistema combinatorio o sequenziale;

1. Sia dato un FF JK edge triggered negativo. Indica l'andamento delle uscite Q_0 e Q_1 in corrispondenza degli ingressi in figura (nota che gli ingressi di **clk**, **clear** e **preset** sono **negati**).



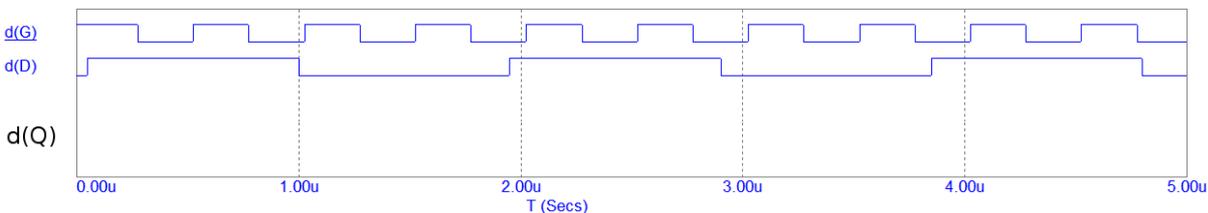
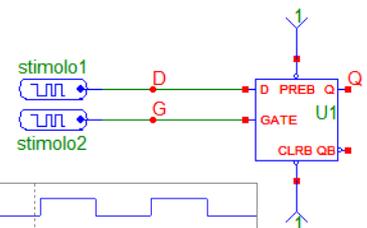
2. Sia dato un FF JK NET. Gli ingressi J, K, clk seguono l'andamento riportato in Tabella. Costruisci il diagramma temporale per 1000 ns, disegnando l'andamento degli ingressi e dell'uscita Q (inizialmente bassa).

t	clk
0	1
200ns	0
300ns	1
600ns	0
800ns	1
1000ns	0

t	J
0	0
100ns	1
300ns	0
500ns	1
700ns	0
900ns	1

t	K
0	1
500ns	0
700ns	1

3. Considera il latch in figura. Disegna l'andamento dell'uscita Q in corrispondenza degli ingressi in figura (Q è inizialmente bassa).



4. Scrivi le tabelle di verità di un **FF** di tipo **JK**, spiegandone il funzionamento; in cosa differisce il comportamento di un **FF JK** nella temporizzazione **data lockout** rispetto alla temporizzazione **PET**; fai un esempio.

