

PROVA SCRITTA DI ELETTRONICA

Prof. Luca Salvini

3Ae

Nome _____

25/10/2011

Obiettivi oggetto di verifica di questa prova scritta:

- Ob1.conoscere i simboli grafici dei componenti elettronici di base e i segnali fondamentali
- Ob2.saper analizzare il funzionamento on/off del diodo
- Ob3.saper analizzare il funzionamento on/off del transistor

RISOLVI I SEGUENTI PROBLEMI:

1. Nel circuito in *Figura 1*, un diodo ideale con tensione di soglia $V_T=0.7$ V è sottoposto ad un segnale di ingresso v_{in} rettangolare, unidirezionale, con duty cycle dell' 80% e periodo di 50 ms.

- 1.1 Spiega cosa significa che il diodo è ON oppure OFF;
- 1.2 determina, graficamente (mediante la retta di carico) il punto di lavoro Q (V_{DQ} , I_{DQ}) del diodo e la tensione di uscita V_{out} , quando il diodo è ON,;
- 1.3 disegna la temporizzazione (ovvero il grafico del segnale in funzione del tempo) per l'ingresso $v_{in}(t)$ e per l'uscita $v_{out}(t)$.

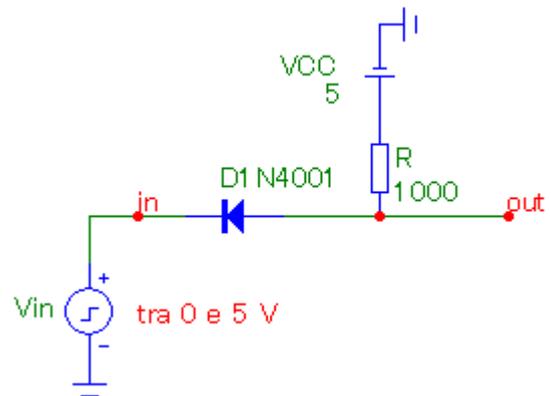


Figura 1: funzionamento on/off del Diodo

2. Una rete elettrica è costituita da un transistor BJT (NPN) in funzionamento ON/OFF. Il transistor si comporta come un interruttore *ideale* (con diodo B-E ideale, con $V_T=0.7$ V) ed è caratterizzato da un guadagno statico di corrente $h_{FE}=100$. La rete presenta sul collettore una resistenza R_C di 1000 Ω , sulla base una resistenza R_B di 86 K Ω , è alimentata da una batteria V_{CC} (5 V) ed è sottoposta ad un segnale di ingresso v_{in} quadro unidirezionale di ampiezza picco-picco 5 V e di periodo 0.01 s. L'uscita del sistema (sul collettore C) è v_C .

- 2.1 Disegna lo schema elettrico. Riporta in grafico l'andamento nel tempo del segnale di ingresso v_{in} ;
- 2.2 determina il valore delle correnti i_B ed i_C e della tensione v_{CE} corrispondenti agli istanti in cui il segnale di ingresso v_{in} è alto;
- 2.3 disegna sullo stesso grafico dove hai disegnato il segnale di ingresso anche il grafico della tensione di uscita v_C in funzione del tempo.



PROVA SCRITTA DI ELETTRONICA

Prof. Luca Salvini

3Ae

Nome _____

16/01/2012

Obiettivi oggetto di verifica di questa prova scritta:

Ob4.conoscere le caratteristiche principali dei circuiti integrati

Ob5.conoscere i sistemi di numerazione (binario, ottale, esadecimale) e le relative operazioni)

Ob6.conoscere le funzioni booleane ed i circuiti corrispondenti

Ob7.saper manipolare una funzione logica (mintermini, maxtermini, minimizzazione)

Ob8.saper analizzare e progettare piccoli sistemi combinatori SSI

ESERCIZI

1. **Definisci** numericamente nella tabella a destra gli **intervalli di tensione** d'ingresso (I) e di uscita (O) dei livelli bassi (L) e alti (H) delle porte a tecnologia TTL (puoi scrivere direttamente sulla tabella).

TTL	
$V_{IL} \leq$	$V_{OL} \leq$
$V_{IH} \geq$	$V_{OH} \geq$

2. Una porta dell'integrato 74LS08 è sottoposta su di un ingresso ad un segnale di tensione quadro unidirezionale (0-5 V) di periodo 10 ms e sull'altro ingresso ad un segnale costante pari a 5V. Disegna il **diagramma temporale** (ovvero il grafico del segnale in funzione del tempo) degli ingressi e dell'uscita per una durata di 20 ms.
3. Esegui il **procedimento** per il calcolo della somma binaria 1010111+01011
4. Esegui il **procedimento** di conversione da ottale ad esadecimale 2708 -----> N₁₆
5. Esegui il **procedimento** di conversione da decimale a binario 1023₁₀ -----> N₂
6. Ricava il **complemento a 1** e il **complemento a 2** del numero binario 10110110

7. Semplifica, mediante il metodo delle mappe di Karnaugh, la funzione **Y** specificata dalla tabella di verità ed implementa mediante porte logiche la funzione semplificata.



A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

8. Data l'espressione logica $Y = \bar{A} \cdot \bar{B} + B \cdot C + A + \bar{B}$ costruisci la tabella, la mappa di Karnaugh, semplifica la funzione e implementa La funzione semplificata mediante porte logiche.

9. Applica il teorema di De Morgan alla seguente espressione: $\overline{\overline{(A+B)} + (C \cdot \bar{D})}$

10. Completa la seguente tabella per le operazioni **nell'algebra di Boole**

0+1=	1+1+1+1=	0+1+0=
1+1=	1*0*1=	1*1*1*0+0+1=



PROVA SCRITTA DI ELETTRONICA
Prof. Luca Salvini

3Ae

Nome _____

02/04/2012

Obiettivi oggetto di verifica di questa prova scritta:

- Ob05: conoscere i sistemi di numerazione (binario, ottale, esadecimale) e le relative operazioni
- Ob06: conoscere le funzioni booleane ed i circuiti corrispondenti
- Ob07: saper manipolare una funzione logica (mint., maxt., minimizzaz.)
- Ob08: saper analizzare e progettare piccoli sistemi combinatori SSI
- Ob09: saper analizzare e progettare piccoli sistemi sequenziali SSI:
- Ob10: saper disegnare la temporizzazione in/out di un sistema combinatorio o sequenziale;

1. Converti in BCD il numero decimale **194**.

2. Minimizza la funzione logica Y riportata nella *Tab.1* a destra, utilizzando le mappe di Karnaugh e descrivendo dettagliatamente i vari passaggi. Disegna lo schema elettrico della funzione Y minimizzata.

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Tab. 1:
 Dalla Tabella alla funzione

3. Sia dato un FF JK PET. Gli ingressi J, K, clk seguono l'andamento riportato in Tabella. Costruisci il diagramma temporale per 600 ns, disegnando l'andamento degli ingressi e dell'uscita Q (inizialmente bassa).

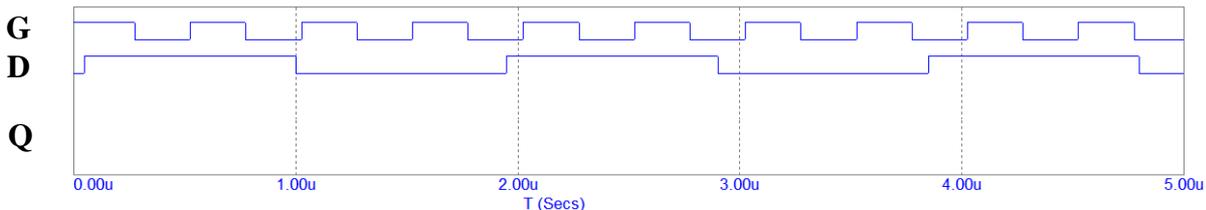
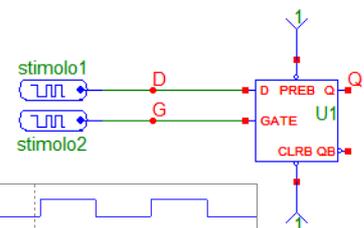
t	clk
0	0
100ns	1
150ns	0
300ns	1
400ns	0
500ns	1

t	J
0	0
50ns	1
150ns	0
250ns	1
350ns	0
450ns	1

t	K
0	1
250ns	0
350ns	1



4. Considera il latch nella figura a destra. Disegna l'andamento dell'uscita Q in corrispondenza degli ingressi nella figura in basso (Q è inizialmente alta).



5. Scrivi la tabella di verità di un **FF** di tipo **JK NET**, spiegandone il funzionamento. In cosa differisce il comportamento di un **FF SR** da quello di un **FF JK**?

PROVA SCRITTA DI ELETTRONICA
Prof. Luca Salvini

3Ae

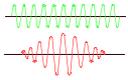
Nome _____

21/05/2012

Con la presente prova si intende verificare il raggiungimento dei seguenti obiettivi:

Ob.9 saper analizzare e progettare un piccolo sistema sequenziale SSI

Ob.10 saper disegnare la temporizzazione in/out di un sistema combinatorio o sequenziale



1. Progetta un contatore sincrono modulo 4 (conteggio "down" da 3 a 0), realizzato mediante Flip Flop JK. Svolgi dettagliatamente i passi necessari per il progetto e disegna il circuito minimizzato progettato.
2. Osserva la Fig. 1 ed indica di che tipo di dispositivo si tratta; completa il diagramma temporale nella Fig. 2, indicando le uscite Q_A , Q_B e Q_C (inizialmente basse), l'ingresso **clr** di clear (inizialmente basso) e disegnandone l'andamento (i FF sono di tipo NET con ingressi di clear e preset attivi bassi).

Figura 1

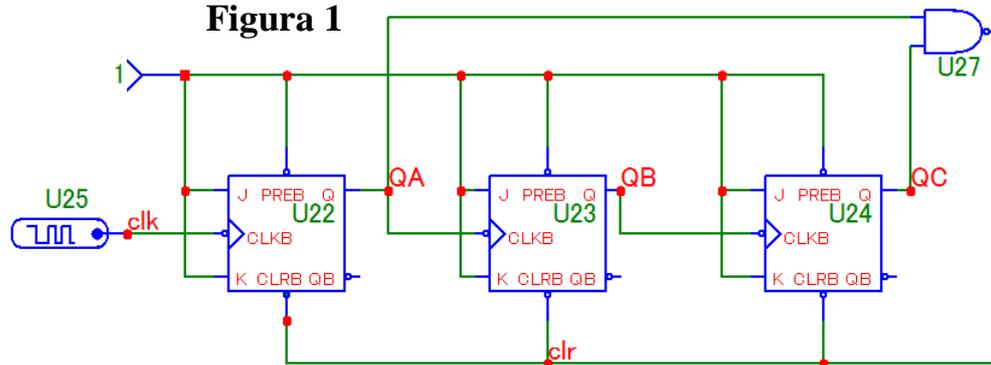


Figura 2

